

特開平5-257793

(43) 公開日 平成5年(1993)10月8日

(51) Int.Cl.⁵ 識別記号 庁内整理番号
 G 0 6 F 12/00 5 8 0 8841-5B
 15/72 A 9192-5L

F 1

技術表示箇所

審査請求 未請求 請求項の数 4 (全 15 頁)

(21) 出願番号 特願平4-53924

(22) 出願日 平成4年(1992)3月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 福永 泰

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 桂 晃洋

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 藤田 良

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

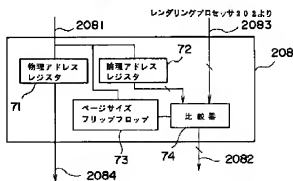
(54) 【発明の名称】 計算機システム

(57) 【要約】

【目的】 フレームバッファと主記憶を一体化し、仮想記憶制御方式により、制御する計算機システムを提供する。

【構成】 メモリ管理ユニット208内部には、レンダリングプロセッサ202が現在発生しているアドレス2083を含むページの先頭の論理アドレスと物理アドレスを記憶するレジスタ71、72と該当ページサイズを示すフリップフロップ73の3種である。アドレス2083が、当該ページ内にあるかどうかをチェックする比較器74におくられ、この時、ページサイズを示すフリップフロップ73の内容によって、チェックすべき範囲が指定されている。ページからこえたと判定されたときには、それを通知する信号2082がCPU10及びレンダリングプロセッサ202へ送られる。

図 7



1

【特許請求の範囲】

【請求項1】 データ処理を実行する処理手段と、

表示データを処理する表示処理手段と、

前記表示データおよびそれ以外のデータを記憶する記憶手段と、

表示データを表示する表示手段と、

前記表示処理手段が前記表示データを処理するために出力する、前記記憶手段内の物理アドレスを指定するための論理アドレスを受付けて、物理アドレスに変換する記憶管理手段とを有することを特徴とする計算機システム。

【請求項2】 請求項1記載の計算機システムにおいて、前記記憶管理手段は、前記記憶手段に割り当てられている論理空間内にある論理アドレスに関する情報を有するアドレス情報記憶手段と、

前記アドレス情報記憶手段が有する情報により、前記表示処理手段が指定した論理アドレスが前記記憶手段内にあるかどうかを判断する判断手段とを有し、

前記記憶管理手段は、論理アドレスが前記記憶手段内にある時は、論理アドレスに対応する物理アドレスを前記記憶手段に出力することを特徴とする計算機システム。

【請求項3】 請求項1記載の計算機システムにおいて、前記記憶管理手段は、前記記憶手段内に割り当てられている論理空間内にある論理アドレスに関する情報を、ページ単位で有するページ情報記憶手段と、

前記ページ情報記憶手段が有する情報により、前記表示処理手段が指定した論理アドレスが前記記憶手段内にあるかどうかを判断する判断手段とを有し、

前記記憶管理手段は、論理アドレスが前記記憶手段内にある時は、論理アドレスに対応する物理アドレスを前記記憶手段に出力することを特徴とする計算機システム。

【請求項4】 請求項1、2または3記載の計算機システムにおいて、

前記記憶管理手段は、前記記憶手段内の論理アドレスをページ単位で管理し、前記表示処理手段が処理する論理アドレスと、前記表示処理手段が処理する論理アドレスとに対して、異なるページサイズを割り当てたことを特徴とする計算機システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は文字や図形データを発生、表示あるいは印刷する計算機システムに係り、特に表示用画素データを記憶するフレームバッファを主記憶装置内に一体化させた計算機システムに関する。

【0002】

【従来の技術】 文字や図形データを発生、表示する図形処理装置では、表示画面の画素に対応するデータを記憶するフレームバッファが用いられる。表示画面に安定した画像を表示するには、表示装置のラスタ走査に同期して順次繰返してフレームバッファからデータを読出す必

2

要がある。この表示の機能を実現するため一般に主記憶装置とは独立したメモリとしてフレームバッファが用いられる。

【0003】 従来の図形処理装置では、一般に図形発生はフレームバッファに対してのみ行なっており、これを高速に実行するため汎用のCPU（中央処理装置）とは別に専用の図形処理プロセッサを用いることが行なわれていた。しかるに、応用分野の多様化が進み、これに対応するため汎用CPUがフレームバッファをアクセスする機能や専用プロセッサが主記憶装置をアクセスする機能が必要となってきた。これを解決するものとして、特開昭63-91787号公報には汎用CPUと専用プロセッサのバスを接続を制御する機構に関する開示がある。これは専用プロセッサが物理アドレスを出力し、この物理アドレスを用いて主記憶にアクセスしていた。この方式は上記問題点を解決するものではあるが、構成が複雑になり、バス接続機構を介したアクセスが特に低速になるという問題があった。

【0004】 一方、ダイナミックメモリを高速にアクセスする手法として、ページモード、ニブルモード、スタティックカラムモード、などの連続アクセス方式が知られている。これをフレームバッファに応用し、狭いバスを介して高速にアクセスする手法について、特開平1-265348号公報に記載されている。

【0005】 また、フレームバッファに適した専用メモリとして、ランダムアクセスポートの他にシリアル出力ポートを合わせ持つ画像用デュアルポートメモリが知られており、特開昭59-131979号公報に開示がある。このメモリを用いると、表示用アクセスが短時間で済み、結果として描画（図形発生）性能を向上できる。しかしながら、その後メモリの集積度が增大しても、一定の表示出力を得るには一定の個数が必要になり、高集積化をメモリの低減に活かせないという問題が生じて来ている。

【0006】

【発明が解決しようとする課題】 上記のように、従来例では、多様な応用に対応するためには複雑でかつ速度低下を招くアクセス手法にたよるを得ないという問題がある。

【0007】 このような問題を解決すべく、本発明の目的は、フレームバッファと主記憶を一体化し、仮想記憶制御方式により、制御する方法を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するため、データ処理を実行する処理手段と、表示データを処理する表示処理手段と、前記表示データおよびそれ以外のデータを記憶する記憶手段と、表示データを表示する表示手段と、前記表示処理手段が前記表示データを処理するために出力する、前記記憶手段内の物理アドレスを指定するための論理アドレスを受付けて、物理アドレス

3

に変換する記憶管理手段とを有することとしたものである。

【0009】

【作用】処理手段は、データ処理を実行する。表示処理手段は、表示データを処理する。記憶手段は、前記表示データおよびそれ以外のデータを記憶する。表示手段は、表示データを表示する。記憶管理手段は、前記表示処理手段が前記表示データを処理するために出力する、前記記憶手段内の物理アドレスを指定するための論理アドレスを受付けて、物理アドレスに変換する。

【0010】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。

【0011】本実施例では、以下の問題も考慮している。すなわち、従来例では、多様な応用に対応するためには複雑でかつ速度低下を招くアクセス手法にたよるを得ないという問題があり、また、高速なフレームバッファを得る画像用デュアルポートメモリは高集積化を小型化に向けられないという問題が生じつつある。

【0012】このような問題を解決すべく、本実施例では、フレームバッファと主記憶を一体化して単純な構成で高速かつ標準のダイナミックメモリを用いてメモリの集積度を効率良く活かせる図形処理装置（計算機システム）及び図形処理方法を提供する。

【0013】また、本実施例の別の目的は、フレームバッファと主記憶を一体化した源に問題となる仮想記憶制御方式に対し、良好な制御の方法を提供することにある。ここで、良好な方法とは、仮想記憶制御方式を採用し、さらに、図形処理プロセッサでは、大きなデータ単位で処理することが望ましく、通常のプロセッサでは、それよりも小さいデータ単位で処理することが望ましいという事情に鑑みて、ページサイズをプロセッサに応じて、可変にできるようにしたことである。

【0014】また、本実施例の別の目的は、標準のダイナミックRAMを用いて高集積かつ小型な構成でありながら高速な描画を可能ならしめる図形処理装置を提供することにある。

【0015】上記目的を達成するため、本実施例ではメモリのアクセスに、行アドレスを指定した後一行内の列アドレスの異なるデータに対して連続アクセスする連続列アクセスを用いると共に、プロセッサのアクセスとメモリのアクセスの間で一連のデータをバッファする手段を設けるようにし、主記憶にはプログラムやデータの他に表示用の画像情報をも記憶するようにしたものである。

【0016】また、高速描画を達成するために、図形処理プロセッサを有すると共に、ダイナミックメモリの連続列アクセスを行わせ、さらにその列アクセスの回数を可変にし、その列アクセスデータを一時記憶するバッファ手段を設けたものである。また、本発明では、メモリ

4

制御回路に設けた図形処理プロセッサから発生するアドレスに対し、仮想記憶制御を実現するためのページ空間をまたがったアドレスであるかどうかを検出するためのページ情報記憶手段（図7の論理アドレス72、ページサイズフリップフロップ73）と判断手段（図7の比較器74）を設けることで、正常なアドレス変換が行えるようにしたものである。また、前記判断手段により、仮想アドレスのアドレス変換を良好に実行させるようにしたものである。

10 【0017】前記のバッファ手段は、プロセッサからのアクセスとそれよりスループットの高いメモリアクセスとの間のタイミングのずれを吸収すると共に、空いたメモリアクセスを表示用アクセスにふり向けることを可能ならしめたものである。

【0018】また、前記図形処理プロセッサでは、列アクセス回数を可変ならしめて任意の長さのラスタデータに対する図形処理を効率良く実行させるものである。

【0019】以下詳細に説明する。図1は、本発明の1実施例を示すもので、1〜複数個のCPUモジュール1、1〜複数個のメモリモジュール2、高速I/O装置3、バスアダプタ4、DAC(DAコンバータ)5、CRT6、から成る。CPUモジュール1、メモリモジュール2、高速I/O3及びバスアダプタ4は、64ビット幅の高速システムバスを介して接続されている。CPUモジュール1は演算処理を進める

30 CPU10と外付けの大容量2次キャッシュ11から成る。CPU10は1チップのLSIであり、1次キャッシュ100、浮動小数点演算機構（図示しない）、メモリ管理ユニット（図示しない）、などを内蔵し、100MIPS（1秒当たり何百万命令を実行できるかの性能指標）以上の性能を有するものが本実施例では用いられている。本発明に係るメモリモジュール2は、メモリコントローラ20とフレームバッファ機能を内蔵したメインメモリ21から成る。メモリコントローラ20はデータをバッファリングするラスタバッファ2000を内蔵しており、メインメモリ21のアクセスを制御すると共に表示データの出力を制御するものである。メインメモリ21は、以下では16Mbit(4Mbit×4)チップを32個用いる例を基に説明する。

40 【0020】高速I/O装置3は、高速のシステムバスに直結される各種I/O装置であり、高速のネットワークコントローラ、高速ディスクシステムなどである。バスアダプタ4は高速のシステムバスと低速のI/Oバスとを接続するアダプタであり、低速のI/Oバスには、プリンタ、キーボード、マウス、ディスクなどの外部記憶、ネットワーク、などのコントローラが接続される。DAC5は、色コードの変換を行なうカラーパレット及びデジタルのビデオ信号からアナログのビデオ信号に変換するDA変換器を内蔵するものである。CRT6はラスタ走査型の表示装置であり、本実施例では各種の解像

度、各種表示色のものが接続できるが、以下では特に明言しない場合1280×1024画素の表示を行なうもの前提に説明を進める。

【0021】また、本実施例では文字や図形の出力装置としてCRT6を接続しているが、本発明が他の出力装置（例えば液晶表示装置）に対しても同様に適用できることは言うまでもない。

【0022】図2は、メモリのバス幅、スピードとバス転送速度の関係を説明したものである。従来ダイナミックメモリのランダムアクセスのサイクルタイムは一般に200ns～400ns程度が必要とされていた。例えば、200nsのメモリサイクルで32ビットのバス幅とすると、20MB/Sバス転送速度が得られる。一方、表示の読出しには、例えば1280×1024画素のディスプレイに同時256色の表示を行なう場合には、少なくとも約80MB/Sのスループットが必要である。すなわち、従来一般的なメモリ設計では、プロセッサがメモリにアクセスするスループットよりも表示に必要なスループットはるかに大きく、これが専用のフレームバッファ装置が必要とされたゆえである。しかるに、図1の実施例のごとく、プロセッサの性能が100MIPSを超えるようなオーダになつてくると、このプロセッサを効率良く動作させるためには数百MB/Sのスループットでメモリからプログラムやデータを供給できる能力が必要になつて来る。すなわち、表示のメモリアクセスよりもプロセッサからのアクセスの方により高いスループットが必然的に要求される。このことは100高速なメモリシステムを構築すれば、プロセッサのアクセスの一部を表示に割り付けてやることのできる可能性があることを意味する。ちなみに、例えばメモリサイクルが25nsになれば64ビットのバス幅で320MB/S、128ビットのバス幅では640MB/Sの転送レートを実現できることになる。

【0023】図3は、高速システムバスの動作を説明するものである。性能を上げるため、m個のブロックを単位に転送している。バスマスタからAS（アドレスストロープ）の立下りによってCA/D（アドレス/データ）バスにアドレスが供給されたことが示され、転送サイクルが開始される。なお、図6中においては、ASには、アッパーラインが付いているが、便宜のため明細書中においては、以下省略する。スレーブ側からAA（アドレス/クロック）の立下りて応答が返されると次いでデータの転送に移る。データの転送は、DS（データストロープ）とDA（データ/クロック）の制御信号で制御される。DSとDAは立下りと上立りの両方のエッジがいずれも意味を持つており、DSはデータの存在を知らせDAはそれに対する応答ということになる。このようにデータをブロックで転送することにより高速化が図られ、例えば1回のデータ転送サイクルを25nsとすると64ビットのシステムバスでピーク時320MB/S

Sの転送レートを得られることになる。

【0024】図4は高速のメモリアクセス手法を説明するもので、ページモードによるリードサイクルを例にしている。RAS（ローアドレスストロープ）の立下りてアドレスライン上のRA（ローアドレス）がメモリ素子内部に取込まれメモリセルからの1行分の読出しが開始される。次いでCAS（コラムアドレスストロープ）の立下りてアドレスラインのCA（コラムアドレス）がメモリ素子内部に取込まれ、RAで指定された1行分のデータの中のCAで指定されたデータがデータライン上に出力される。このあと、CAを切換えCASの立下りて指示されるごとに、同一行内の異なるデータが順次読出される。このページモードはCAを与えるだけでアクセスできるため、通常のRAとCAの両法を毎回与えるランダムアクセスに対して相当高速になる。この結果、例えばページモードサイクルタイムが25nsの場合には、128ビットのデータバス幅を持って最大640MB/Sの転送レートを得られることになる。

【0025】次いで図5を用いて、本発明に係るメモリコントローラ20の内部構成を説明する。メモリコントローラ20は、システムバスインタフェース200、レンジリングプロセッサ202、表示コントローラ204、メモリバスインタフェース206、メモリ管理ユニット208を内蔵する。

【0026】システムバスインタフェース200はシステムバスとのインタフェースを司る部分で、システムラスタバッファ2000、アクセスカウンタ2001を有している。システムラスタバッファ2000は、システムバスとメモリ間で転送されるデータを一時記憶するもので、本実施例では256バイトの容量を有しており、この範囲内でアクセスカウンタの指定する回数だけ転送を行なうものである。特に本実施例では、システムバスよりもメモリバスのスループットが高く、この速度差を吸収するものとしてシステムラスタバッファ2000は必須のものである。アクセスカウンタ2001はシステムバスまたはメモリバスからのアクセスに応じてシステムラスタバッファ2000の入出力を制御するものである。システムバスに対するブロック転送の回数（最大32回）としてキヤッシュのラインサイズで決まる最適値をあらかじめセットしておける。システムラスタバッファ2000とアクセスカウンタ2001の部分はFIFO(First In First Out)で構成しても良い。

【0027】レンジリングプロセッサ202は図形発生を制御するもので、直線の発生、水平線の塗りつぶしデータの発生、BITBLT（ビットブロック転送）制御などの基本的な描画機能を有する。なめらかな輝度補間を行なうシェーディング処理や陰面消去のためのZ比較機能も有する。表示コントローラ204はディスプレイに対する表示を制御するもので、表示ラスタバッファ2040及び表示ラスタバッファB2041を内蔵してい

7

る。画面の分解能や表示色数の異なる各種のディスプレイに対応し得るようプログラマブルな機能を有しており、ディスプレイに合わせた同期信号発生や表示データの読出しを行なう。表示ラスタバッファA2040及びB2041はそれぞれ6Kバイトの容量を有しており、1画面当たりR、G、B、各8ビットのデータを2048画面素分記憶できる。すなわち2系統のバッファはそれぞれ1ラスタ分の表示データを記憶できるので、1ラスタの表示期間中に一方を表示に用い、もう一方には次のラスタデータを読出しておき、交替バッファとして用いる。本実施例では、表示装置の1ラスタ分のデータを持たせるようにしているが、容量が小さい場合にはラスタの部分データ単位で切り換えるようにしても良い。ただし、その場合には表示データの読出しアクセスが表示期間内に集中し帰線期間には行なえないため、表示期間と帰線期間でシステムバスへの負荷バランスが異なるという問題が生じる。すなわち表示ラスタバッファに1ラスタ分のデータを記憶できれば、表示データの読出しアクセスを表示期間と水平の帰線期間を含む期間に分散させることができる。これらの表示ラスタバッファの機能はFIFOで置き換えることもできる。

【0028】メモリバスインタフェース206はメモリとのインタフェースを司る部分で、ダイナミックRAM用のアドレスのマルチプレックスやメモリ制御信号の発生を行う。メモリ管理ユニット208は、CPU10で変換されるアドレス変換と同一の処理をCPUと会話しながら等価的に行なうもので、レンダリングプロセッサ202から与えられる仮想アドレスを物理アドレスに変換する。

【0029】メモリ管理ユニット208の詳細な動作については図7を用いて後で詳しく説明する。システムバスから与えられる物理アドレスはそのままメモリバスに送出する。本メモリ管理ユニット208を持たない従来技術の場合には、レンダリングプロセッサ202や表示コントローラ204では物理アドレスを用いてアドレス管理することになる。

【0030】図6はメインメモリ21の論理的なイメージを示す。本実施例ではメインメモリ21はハードウェアとしては単一のメモリ空間であり、このメモリを論理的にどう扱うかはソフトウェア次第であり、種々の柔軟な構成が可能である。

【0031】図6(a)はCPUからアクセスする際のイメージを示し、64ビットのデータ幅を持つリニアな空間である。このうちの32Kバイト単位の領域内では行アドレスが同じでページモードアクセスできる。

【0032】図6(b)は256色表示に用いる8bit/pixelでのフレームバッファとしてのイメージを示す。幅は図では2048画面素とされているが、異なる構成も可能である。この例では横2048×縦16画面の領域内ではページモードアクセスが可能である。

8

【0033】図6(c)は同様にR、G、B、 α (半透明表現に用いる係数データ)各8ビットから成る32bit/pixelのフレームバッファとしての例である。この場合には横2048×縦4画面の領域がページモードアクセス可能な範囲となる。上記の他に種々の構成が可能で、例えば32ビットのZ値を持つZブレンは図6(c)と同様のイメージで表される。また、このメインメモリ21は上記のような各種のデータを混在して記憶でき、柔軟な応用が可能である。

【0034】図7にメモリ管理ユニットの詳細な構成図を、図8にそれを用いたアドレス変換処理フローを示す。図7の内容を説明する前に、フレームバッファも含めたアドレス変換方式の最近の動向を説明しておく。従来のアドレス変換方式は、メモリ空間を同一サイズのページに分割し(4KB~8KBのサイズ)、各ページ単位に、その論理アドレスと物理アドレスの内容をテーブルでおおえておいて、与えられた論理アドレスからテーブルを参照することで、物理アドレスを生成する方式がとられていた。ところが、フレームバッファのような、比較的大きな空間で、かつ、物理アドレスが連続しているような空間を上記ページに分割して管理すると、アドレス変換テーブルが大きくなり無駄が生じるため、最近では、ページのサイズを2種以上持って管理する方式が採用されている。ここで、説明するアドレス変換は、こうした構成を前提としたものである。

【0035】図7のメモリ管理ユニット208内部には、CPU10から書き換え可能な3つのレジスタ71、72、73を有している。レンダリングプロセッサ202が現在発生しているアドレスに対応した論理アドレスと物理アドレスを記憶するレジスタ71、72と該当ページサイズを示すフリップフロップ73の3種である。論理アドレスレジスタ72は、レンダリングプロセッサ202が発生するアドレス2083が、当該ページ内にあるかどうかをチェックする比較器74におくられ、この時、ページサイズを示すフリップフロップ73の内容によって、どのビット位置までチェックすべきかが指定されている。ページからこのアドレスをレンダリングプロセッサ202が生成したと判定されたときには、それを通知する信号2082がCPU10及びレンダリングプロセッサ202へ送られる。

【0036】こうしたハードを用いて、いかにアドレス変換が行われるかを、フローチャート(図8)を使いながら次に説明する。

【0037】まず、CPU10からレンダリングプロセッサ202起動時には、レンダリングプロセッサ202への初期設定パラメータの中で、レンダリングプロセッサ202が生成するアドレスが属する論理アドレス、物理アドレス、ページサイズを上記対応するレジスタ71、72、73に書き込んだ後(81、82)、レンダリングプロセッサ202を起動する(83)。その後、

50

レンダリングプロセッサ202が逐次発生するアドレスが、上記設定されたページ内にある場合は、主記憶に対しては、設定されている物理アドレスが送出されてレンダリングプロセッサと主記憶の間でのみ処理が続けられる。

【0038】一方、ページ外へ出た割込みが発生すると、CPU10はレンダリングプロセッサ202が発生したアドレスを読み込んで、該当物理アドレスへの変換を行なう(84, 85, 86)。物理アドレスが存在する際は、論理アドレス、物理アドレスのレジスタ71, 72を新しい値に書き換えて、レンダリングプロセッサ202への再開指示をすればよい(87)。物理アドレスがない場合は、通常のページスワップ処理を行なう必要があるため、タスクスイッチを行えるに十分なレジスタを読み込んで、回避させる処理を行う(88, 89)。該当ページが読み込まれた時には、回復処理を行って、再起動すればよい。

【0039】以上の処理を行うことによって良好なアドレス変換を提供できる。

【0040】図9は、表示コントローラ204内の優先制御機構の構成を示し、ロードカウンタ2042、表示カウンタ2043、優先制御回路2044から成る。ロードカウンタ2042は表示データの読み出しを行っている表示ラスタバツファ(A2040またはB2041のいずれか)の動作を管理するものである。表示カウンタ2043はもう一方の表示中のラスタバツファの進行を管理するものである。表示ラスタバツファはディスプレイに同期して動作するため、表示データの読出しは表示中のラスタバツファの処理が完了するまでに終えなければならない。このため優先制御回路2044は残された時間が残りの表示データ読出しに十分か否かを判定する。すなわち、ロードカウンタ2042と表示カウンタ2043の情報から、残り時間比較器2045にて残りの表示読出しに必要な時間と表示中の表示ラスタバツファの残り動作時間とを比較し、読出しに十分な時間がある場合は表示アクセスの優先度を下げ、残り時間が少ない場合と表示アクセスの優先度を上げるための優先制御信号を発生する。

【0041】図10は、各部の動作の流れを示す。通常のアクセス優先順位は、①システムバス、②レンダリングプロセッサ、③表示アクセス、の順であるが、表示優先の状態では①表示アクセス、②システムバス、③レンダリングプロセッサ、の順となる。メモリアクセスの内、“S”はシステムバスによるアクセスを、“R”はレンダリングプロセッサのアクセスを、“D”は表示アクセスを示す。メモリアクセスのそれぞれの箱は一連のページモードアクセスを示す。システムバスからの読出しアクセスはメモリからのデータをシステムラスタバツファ2000を介して読出す。メモリアクセスの方がシステムバスよりも速いため、システムラスタバツファ2

000に一時記憶しておき順次システムバス側に出力する。システムバスからの書込みアクセスは、システムラスタバツファ2000に蓄えた後、メモリに書込む。表示ラスタバツファA2040及びB2041は、水平走査に同期して交替で表示に用いられている。レンダリングプロセッサ202によるアクセスはシステムバスよりも優先順位が低いため、システムバスアクセスで使用中はウェイト(WAIT)が入る。システムバスアクセスとレンダリングプロセッサのアクセスが集中すると表示アクセスが1ラスタ時間の後ろの方に追いやられることになり、この状態で残り時間が短くなると表示優先に切りかわり、強制的に表示アクセスが実行される。このような場合にはシステムバスのアクセスにウェイト(WAIT)が入る場合もある。

【0042】図11は、レンダリングプロセッサ202の構成を示す。DDA回路2020、ラスタバツファ2021、Z比較器2022、ソースラスタバツファ2023、パターンラスタバツファ2024、デステイネーションラスタバツファ2025、ラスタ演算器2026から成る。DDA回路2020は、直線発生時の座標発生、輝度補間の際、R、G、Bの各輝度の算出、Z値の補間による算出を行ない、画素ごとのアドレスを発生する。ラスタバツファ2021はメモリから読出されたZ値の一連のラスタ(水平に連続する複数画素またはその複数のグループ)データを記憶するもので、指定された任意長のラスタに対応するZ値を記憶する。Z比較器2022はラスタバツファ2021のデータとDDA回路で補間発生されたZ値を順次比較するもので、比較結果はパターンラスタバツファ2024に記憶される。ソースラスタバツファ2023はBITBLT演算のソースの任意長のラスタデータを記憶する。直線発生の場合は、描画線種情報や描画情報などを記憶する。シェーディング演算の場合はDDA回路2020で発生される輝度値を記憶する。パターンラスタバツファ2024はBITBLT演算のパターンのラスタデータや陰面消去時Z比較器から出力されるマスクデータなどを記憶する。デステイネーションラスタバツファ2025はBITBLTにおけるデステイネーションの読出しデータを一時記憶する。ラスタ演算器2026は所定の演算モードに従って各種論理演算やカラー演算などのBITBLT演算を実行する部分である。本実施例では任意のラスタデータを記憶する各ラスタバツファを設けることにより、メモリにはラスタブロック単位で高速にページモードアクセスして大量のデータ処理を高速に実行する点に特徴がある。

【0043】図12は、いくつかの処理例についてメモリアクセスの手順を示したものである。図12において1つの箱はページモードアクセスし得るラスタブロックに対する一連のアクセスを示す。実際のメモリアクセス時には、システムバスアクセスや表示アクセスがこの間に入ってくるような場合はウェイトが入ると共に複数のベ

ージモードアクセスのグループに分割されて実行される。図12(a)の2オペランドBITBLTではソース、デステイネーションの読出しに続いてデステイネーションの書込みを実行する。図12(b)は図12(a)に対してパターンラスタデータの読出しが加わる点に異なる。図12(c)は直線発生の場合で、一連のラスタブロック単位ごとに書込みを実行する。例えば図6(b)のメモリ構成であれば、水平直線は1回のラスタブロック書込みで実行し得る。垂直直線の場合には16画素ごとにラスタブロックが異なり、その単位で書込みが可能になる。ただし、これらのアクセスの単位は、それぞれのラスタバッファが32KBよりも小さな場合にはその大きさの制約を受けるには言うまでもない。ラスタバッファの容量が小さい場合には、ラスタデータと共にカラムアドレスをも記憶させる方法や、ラスタブロックの形状を横長、方形等選択し得るようにすればメモリアクセスの効率をそれぞれの場合に依りて上げることができる。図12(d)はシェーディングの場合で、ラスタ読出しの後デステイネーションデータの書込みが行なわれる。デステイネーションデータに対して演算が指定された場合など、デステイネーション書込みの前にデステイネーション読出しが入る場合もある。

【0044】このように本実施例では図11に示したレンダリングプロセッサによって、ページモードアクセスと組合せて高速に描画実行できるという効果がある。

【0045】なお、本実施例は標準のダイナミックメモリを用いる構成としているが、図11の構成はそれとの組合せが必然なわけではなく、例えば画像用デュアルポートメモリと組合せても良いものである。本実施例の構成であればメモリを小型化でき、画像用デュアルポートメモリを用いる場合は表示アクセスによる性能低下が少ないといった効果がそれぞれある。

【0046】また本実施例ではページモードアクセスを例に説明したが、類似の他のモード(ニブルモードやスタティックカラムモード)でも同様に説明できることは言うまでもない。

【0047】以上詳細に説明したように、本発明によれば、フレームバッファとメインメモリを一体化できるため高速でありながら単純で小型な構成とすることができる。例えば、16MBビットのメモリ素子を32〜64個用いて、100MIPS以上のプロセッサを効率良く動かかせると同時に1280×1024画素で1600万色(R, G, B、各8ビット)の表示に適用することができる。

【0048】また、本発明によればシステムバスアクセス(演算処理手段によるアクセス)と表示アクセス(表示制御手段によるアクセス)とをその優先順位に従って優先制御することが可能となり、メモリアクセスの無駄

を無くすることが可能となる。

【0049】上記の実施例は、ページ単位でメモリを管理する計算機システムであるが、これに限られるものではなく、論理アドレス単位で管理することとしても良い。すなわち、計算機システムにおいて、記憶管理手段は、主記憶内に記憶されているデータの論理アドレスに関する情報を有するアドレス情報記憶手段と、前記アドレス情報記憶手段が有する情報により、前記表示制御手段が出力する前記論理アドレスで指定したデータが前記記憶手段内にあるかどうかを判断する判断手段とを有し、前記記憶管理手段は、データが前記記憶手段内にある時は、論理アドレスに対応する物理アドレスを前記記憶手段に出力することとしてもよい。

【0050】

【発明の効果】本発明によれば、フレームバッファと主記憶を一体化し、仮想記憶制御方式により、制御する計算機システムを提供できる。

【図面の簡単な説明】

【図1】本発明に係る一実施例のシステムの構成図である。

【図2】本発明に係る一実施例のバス転送速度の説明図である。

【図3】本発明に係る一実施例のシステムバスの説明図である。

【図4】本発明に係る一実施例のメモリバスの説明図である。

【図5】図1におけるメモリコントローラの内部構成図である。

【図6】本発明に係る一実施例のメモリ空間の説明図である。

【図7】本発明に係る一実施例のレンダリングハード用アドレス変換機構の構成図である。

【図8】本発明に係る一実施例のアドレス変換を有効に動作させるための処理フローである。

【図9】図5における表示コントローラ内の優先制御機構を説明図である。

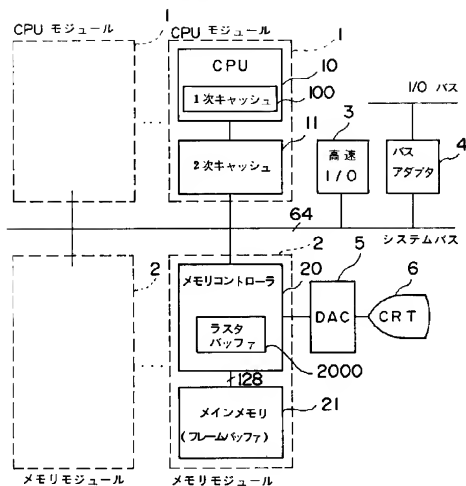
【図10】本発明に係る一実施例のメモリアクセスの動作説明図である。

【図11】図5におけるレンダリングプロセッサの内部構成図である。

【図12】描画処理における動作説明図である。
【符号の説明】
20…メモリコントローラ、21…メインメモリ、22…レンダリングプロセッサ、200…システムラスタバッファ、2021…ラスタバッファ、2023…ソースラスタバッファ、2024…パターンラスタバッファ、2025…デステイネーションラスタバッファ。

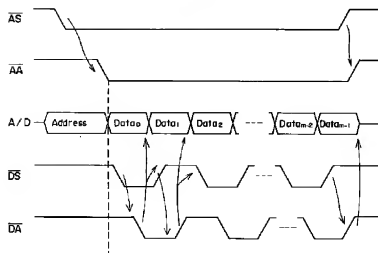
【図1】

図 1



【図3】

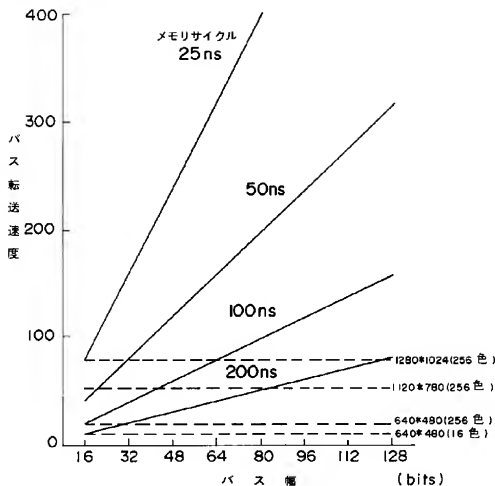
図 3



【図2】

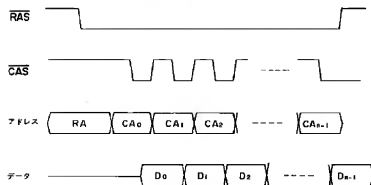
図 2

(Mbytes / s)

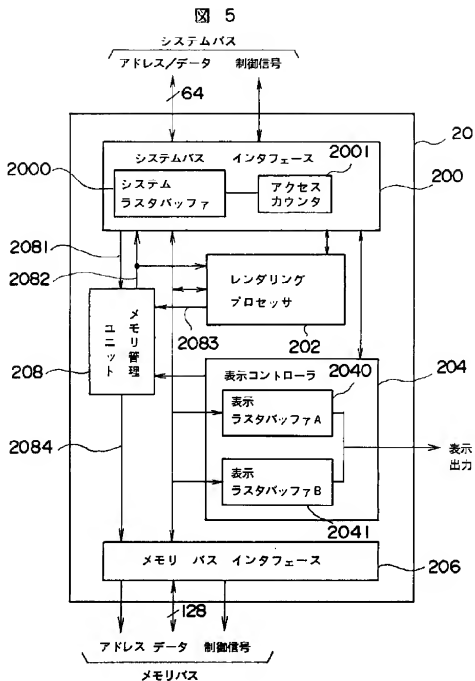


【図4】

図 4



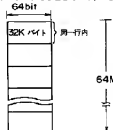
【図5】



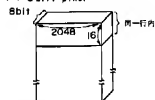
【図6】

図 6

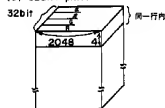
(a) システムメモリとしてのイメージ



(b) 8bit / pixel の表示イメージ



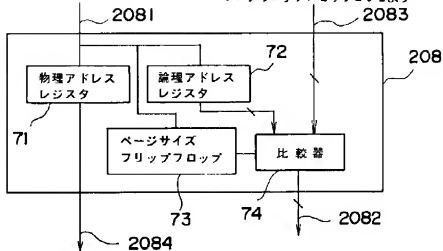
(c) 32bit / pixel



【図7】

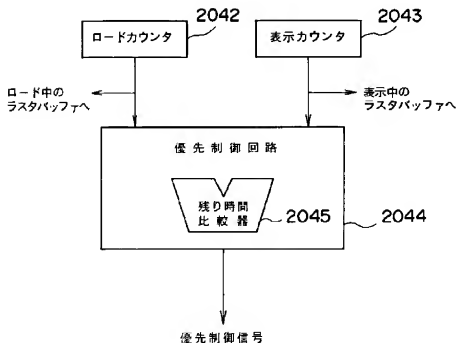
図 7

レンダリングプロセッサ 202より



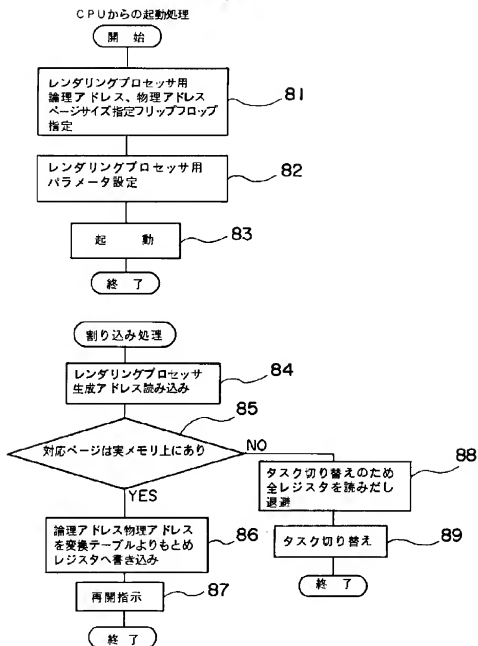
【図9】

図 9



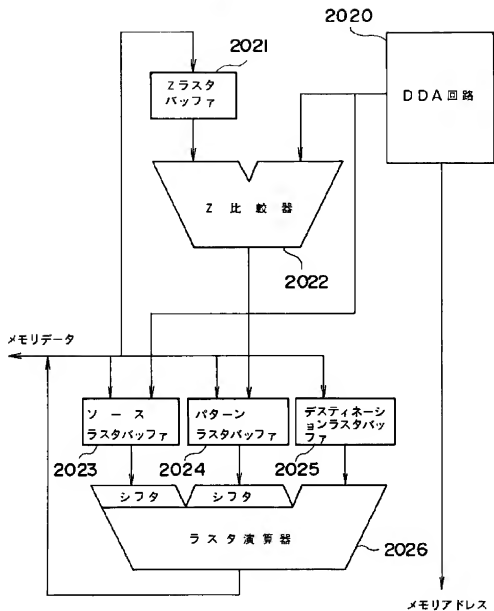
【図8】

図 8



【図11】

図 11



【図12】

図 12

(a) 2オペランド BITBLT

ソースラスタ 読出し	デスティネーション ラスタ読出し	デスティネーション ラスタ書込み
---------------	---------------------	---------------------

(b) 3オペランド BITBLT

ソースラスタ 読出し	パターンラスタ 読出し	デスティネーション ラスタ読出し	デスティネーション ラスタ書込み
---------------	----------------	---------------------	---------------------

(c) 直線発生

デスティネーション 書込み	デスティネーション 書込み	---	デスティネーション 書込み
------------------	------------------	-----	------------------

(d) シェーディング

2ラスタ 読出し	デスティネーション 書込み
-------------	------------------

 フロントページの続き

(72)発明者 古賀 和義

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 加藤 猛

茨城県日立市大みか町五丁目2番1号 株式会社日立製作所大みか工場内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-257793

(43)Date of publication of application : 08.10.1993

(51)Int.Cl. G06F 12/00

G06F 15/72

(21)Application number : 04-053924 (71)Applicant : HITACHI LTD

(22)Date of filing : 12.03.1992 (72)Inventor : FUKUNAGA YASUSHI

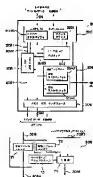
KATSURA AKIHIRO

FUJITA MAKOTO

KOGA KAZUYOSHI

KATO TAKESHI

(54) COMPUTER SYSTEM



(57)Abstract:

PURPOSE: To integrate a frame buffer and a main memory and to control them according to a virtual memory control system by receiving a logical address for processing display data at a memory managing means and translating it into a

physical address.

CONSTITUTION: Inside a memory managing unit 208, registers 71 and 72 to store the logical address and the physical address corresponding to an address generated by a rendering processor 202 and a flip-flop 73 to show the size of a relevant page are provided. After writing the logical address, physical address and page size, to which the address generated by the rendering processor 202 belongs, among initial set parameters to the rendering processor 202 in the registers 71-73, the rendering processor is started. When any interruption is generated for the addresses successively generated by the rendering processor 202 to get out of the set page, this address is read by a CPU and translated into the relevant physical address.

LEGAL STATUS

[Date of request for examination] 02.04.1996

[Date of sending the examiner's
decision of rejection] 02.03.1999

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 2966182

[Date of registration] 13.08.1999

[Number of appeal against examiner's
decision of rejection] 11-05106

[Date of requesting appeal against
examiner's decision of rejection] 02.04.1999

[Date of extinction of right] 13.08.2002

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The computing system characterized by to receive the logical address for specifying the physical address within said storage means outputted in order that a processing means perform data processing, a display process means process an indicative data, a storage means memorize said indicative data and other data, a display means display an indicative data, and said display process means may process said indicative data, and to have a storage management means change into a physical address.

[Claim 2] In a computing system according to claim 1 said storage management means Using the information which an address information storage means to have the information about the logical address in the logic space currently assigned to said storage means, and said address information storage means have It has a decision means to judge whether the logical address specified by said display-processing means is in said storage means. Said storage management means It is the computing system characterized by outputting the physical address corresponding to the logical address to said storage means when the logical address is in said storage means.

[Claim 3] In a computing system according to claim 1 said storage management means Using the information to which the page information storage means which it has per page, and said page information storage means have the information

about the logical address in the logic space currently assigned in said storage means It has a decision means to judge whether the logical address specified by said display-processing means is in said storage means. Said storage management means It is the computing system characterized by outputting the physical address corresponding to the logical address to said storage means when the logical address is in said storage means.

[Claim 4] Said storage management means is a computer system characterized by assigning a different page size to the logical address which manages the logical address within said storage means per page in a computer system according to claim 1, 2, or 3, and said display-processing means processes, and the logical address which said processing means processes.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the computer system which made the frame buffer which starts the computer system which generates, displays or prints an alphabetic character and graphic data, especially memorizes the pixel

data for a display unify in main storage.

[0002]

[Description of the Prior Art] With the graphics-processing equipment which generates an alphabetic character and graphic data and is displayed, the frame buffer which memorizes the data corresponding to the pixel of a display screen is used. In order to display the image stabilized in the display screen, it is necessary to carry out a loop one by one synchronizing with the raster scan of an indicating equipment, and to read data from a frame buffer. In order to realize the function of this display, generally a frame buffer is used as memory independent of main storage.

[0003] With conventional graphics-processing equipment, generally, in order that graphic form generating might perform a **** intermediary cage and this at a high speed only to a frame buffer, using the graphics-processing processor of dedication apart from general-purpose CPU (central processing unit) was performed. However, the function in which general-purpose CPU accesses a frame buffer since diversification of an applicable field progresses and it corresponds to this, and the function a special purpose processor accesses [a function] main storage are the need and intermediary ****. JP,63-91787,A has the disclosure about the device which controls connection of the bus of general-purpose CPU and a special purpose processor to solve this. The special purpose processor outputted the physical address and had accessed this at the primary storage using this physical address. For this method, the problem that a configuration becomes complicated and especially access through a bus connection device becomes a low speed although the above-mentioned trouble is solved is *****.

[0004] On the other hand, continuation access methods, such as a page mode, a nibble mode, and static column mode, are known as the technique of accessing dynamic memory at a high speed. This is applied to a frame buffer and the technique of accessing a high speed through a narrow bus is indicated by JP,1-265348,A.

[0005] Moreover, as exclusive memory suitable for a frame buffer, the dual port memory for images having the serial output port other than a random access port is known, and JP,59-131979,A has disclosure. If this memory is used, access for a display can be managed in a short time, and can improve the drawing (graphic form generating) engine performance as a result. However, even if the degree of integration of memory increases after that, the fixed number is needed for obtaining a fixed display output, and the problem that high integration cannot be harnessed in reduction of memory is arising.

[0006]

[Problem(s) to be Solved by the Invention] As mentioned above, in the conventional example, in order to correspond to various application, there is a problem that it is complicated and cannot but depend on the access technique which causes rate lowering.

[0007] The object of this invention unifies a frame buffer and a primary storage, and is to offer the approach of controlling with a virtual-storage-supervision method in order to solve such a problem.

[0008]

[Means for Solving the Problem] Suppose that it has a storage management means receives the logical address for specifying the physical address within said storage means which outputs in order that a processing means perform data processing in order to attain the above-mentioned object, a display process means process an indicative data, a storage means memorize said indicative data and other data, a display means display an indicative data, and said display process means may process said indicative data, and change into a physical address.

[0009]

[Function] A processing means performs data processing. A display process means processes an indicative data. A storage means memorizes said indicative data and other data. A display means displays an indicative data. A storage management means receives the logical address for specifying the physical

address within said storage means outputted in order that said display process means may process said indicative data, and changes it into a physical address.
[0010]

[Example] Hereafter, the example of this invention is explained to a detail using a drawing.

[0011] The following problems are also taken into consideration in this example. That is, the problem that the dual port memory for images which there is a problem that it is complicated and cannot but depend on the access technique which causes rate lowering in order to correspond to various application in the conventional example, and obtains a high-speed frame buffer is not turned to a miniaturization in high integration is arising.

[0012] In this example, the graphics-processing equipment (computing system) and the graphics-processing approach of unifying a frame buffer and a primary storage and harnessing the degree of integration of memory efficiently using the dynamic memory of a high speed and a criterion with a simple configuration are offered in order to solve such a problem.

[0013] Moreover, when another object of this example unifies a frame buffer and a primary storage, it is to the virtual-storage-supervision method which poses a problem to offer the approach of good control. Here, a virtual-storage-supervision method is used for a good approach, and it is that the page size was made to be made to adjustable according to the processor in view of the situation that processing by the big data unit is desirable, and it is desirable to process by the data unit smaller than it in the usual processor in a graphics-processing processor further.

[0014] Moreover, using a standard dynamic RAM, another object of this example is to offer the graphics-processing equipment to which high-speed drawing is closed if , though it is high accumulation and a small configuration.

[0015] While using continuation train access which carries out continuation access to the data with which the train addresses in the same line differ by this example after specifying a line address as access of memory in order to attain

the above-mentioned object, the means which carries out the buffer of a series of data between access of a processor and accesses of memory is established, and the image information for a display is also made to memorize besides a program or data in a primary storage.

[0016] Moreover, in order to attain high-speed drawing, while having a graphics-processing processor, continuation train access of dynamic memory is made to perform, the count of the train access is further made adjustable, and a buffer means to store the train access data temporarily is established. Moreover, it enables it to perform normal address translation by establishing the page information storage means (the logical address 72 of drawing 7, page-size flip-flop 73) and decision means (comparator 74 of drawing 7) for detecting whether it is the address which straddled the page space for realizing virtual storage supervision to the address generated in this invention from the graphics-processing processor prepared in the memory control circuit. Moreover, it is made to perform address translation of the virtual address with said decision means good.

[0017] If the aforementioned buffer means is possible, it closes that the vacant memory access can be turned toward access for a display, while it absorbs a gap of the timing between access from a processor and memory access with a throughput higher than it.

[0018] Moreover, in said graphics-processing processor, if it is adjustable about the count of train access, graphics processing to the raster data of the die length of arbitration is performed efficiently in total.

[0019] It explains to a detail below. that drawing 1 indicates one example of this invention to be -- it is -- 1- the memory module 2 of two or more CPU modules 1 and 1 - plurality, high-speed I/O device 3, a bus adapter 4, and DAC (DA converter)5 and CRT6 -- since -- it changes. The CPU module 1, a memory module 2, high-speed I/O3, and a bus adapter 4 are connected through the high-speed system bus of 64-bit width of face. The CPU module 1 consists of CPU10 which advances data processing, and the external mass level 2 cache 11.

CPU10 is LSI of one chip, a level 1 cache 100, a floating point arithmetic device (not shown), a memory management unit (not shown), etc. are built in, and what has the engine performance more than 100MIPS (engine-performance index of what 1 million instructions to be able to execute per second) is used by this example. The memory module 2 concerning this invention consists of the main memory 21 which built in the memory controller 20 and frame buffer ability. The memory controller 20 contains the raster buffer 2000 which buffers data, and it controls the output of an indicative data while it controls access of main memory 21. Below, main memory 21 is explained based on the example which uses 32 16Mbit (4Mbitx4) chips.

[0020] High-speed I/O devices 3 are various I/O devices directly linked with a high-speed system bus, and are a high-speed network controller, a high-speed disc system, etc. A bus adapter 4 is an adapter which connects a high-speed system bus and a low-speed I/O bus, and controllers, such as external memory, such as a printer, a keyboard, a mouse, and a disk, and a network, are connected to a low-speed I/O bus. DAC5 builds in the DA converter changed into the video signal of an analog from the color palette which changes a color code, and a digital video signal. Although CRT6 is the display of a raster scan mold and various kinds of resolution and the thing of various foreground colors can be connected in this example, when not declaring, explanation is advanced especially by the following on the assumption that what performs a 1280x1024-pixel display.

[0021] Moreover, although CRT6 is connected as an output unit of an alphabetic character or a graphic form in this example, it cannot be overemphasized that this invention can apply similarly to other output units (for example, liquid crystal display).

[0022] Drawing 2 explains the relation between the bus width of face of memory, speed, and a bus transfer rate. Generally 200ns - about 400ns was needed conventionally at the cycle time of the random access of dynamic memory. For example, if it is bus width of face of 32 bits by the memory cycle for 200ns, 20

MB/S bus transfer rate will be obtained. On the other hand, to perform coincidence 256 color specification on a 1280x1024-pixel display, the throughput of about 80 MB/S is required for read-out of a display at least. That is, in the conventional general memory design, a throughput more nearly required for a display than the throughput to which a processor accesses memory is far large, and it is the reason for which the frame buffer equipment of this dedication was needed. However, order to which the engine performance of a processor exceeds 100MIPS like the example of drawing 1 -- intermediary **** and the capacity which can supply a program and data from memory by the throughput of hundreds MB/S in order to operate this processor efficiently -- the need -- since [an intermediary] **. That is, a high throughput is inevitably required by the direction of access from a processor rather than the memory access of a display. This means that a part of access of a processor may be able to be assigned to a display, if a sufficiently high-speed memory system is built. Incidentally, if a memory cycle is set to 25ns, 320 MB/S and bus width of face of 128 bits can realize the transfer rate of 640 MB/S by bus width of face of 64 bits.

[0023] Drawing 3 explains actuation of a high-speed system bus. In order to improve the engine performance, m blocks are transmitted to the unit. Therefore, it is shown in an A/D (address/data) bus from a bus master at falling of AS (address strobe) that the address was supplied, and a transfer cycle is started. In addition, although the upper line is attached to AS in drawing 6, since it is expedient, it omits below in a description. If a response is returned in falling of AA (address acknowledgement) from a slave side, subsequently to a data transfer, it will move. A data transfer is controlled by the control signal of DS (data strobe) and DA (data acknowledgement). ***** and DS in which, as for DS and DA, each edge of both falling and a standup has semantics will tell existence of data, and DA will call them the response to it. Thus, when improvement in the speed is attained, for example, 1 time of a data transfer cycle is set to 25ns by transmitting data with a block, the transfer rate of peak period 320 MB/S can be obtained by the 64-bit system bus.

[0024] Drawing 4 explains the high-speed memory access technique, and makes the read cycle by the page mode the example. RA on an address line (row address) is incorporated inside a memory device in falling of RAS (row address strobe), and read-out for one line from a memory cell is started. Subsequently, the data specified by CA in the data for one line which CA (column address) of an address line was incorporated inside the memory device in falling of CAS (column-address strobe), and was specified by RA are outputted on a data line. Then, whenever CA is directed in falling of change CAS, the data with which it differs in the same line are read one by one. Since this page mode can be accessed only by giving CA, it becomes a considerable high speed to the random access which gives both ** of usual RA and usual CA each time. When it is 25ns as a result, for example, the page mode cycle time, if it has data bus width of face of 128 bits, the transfer rate of a maximum of 640 MB/S can be obtained.

[0025] Subsequently, the internal configuration of the memory controller 20 concerning this invention is explained using drawing 5. The memory controller 20 contains the system bus interface 200, the rendering processor 202, the display controller 204, the memory bus interface 206, and a memory management unit 208.

[0026] The system bus interface 200 is the part which manages an interface with a system bus, and has the system raster buffer 2000 and the access counter 2001. The system raster buffer 2000 stores temporarily the data transmitted between a system bus and memory, in this example, it has the capacity of 256 bytes and only the count which an access counter specifies within the limits of this transmits. In this example, the throughput of a memory bus is especially higher than a system bus, and the system raster buffer 2000 is indispensable as what absorbs this speed difference. An access counter 2001 controls I/O of the system raster buffer 2000 according to access from a system bus or a memory bus, sets beforehand the optimum value decided by linesize of a cache as a count (a maximum of 32 times) of the block transfer to a system bus, and can set

it. The parts of the system raster buffer 2000 and an access counter 2001 may consist of FIFO (First In First Out).

[0027] The rendering processor 202 controls graphic form generating, and has fundamental drawing functions, such as linear generating, generating of the continuous tone data of a horizontal line, and BITBLT (bit block transfer) control. It also has the shading processing which performs smooth brightness interpolation, and Z comparison function for hidden surface removal. The display controller 204 controls the display to a display, and contains the display raster buffer A2040 and the display raster buffer B2041. It has [that it can respond to various kinds of displays on which the resolving power and the number of foreground colors of a screen differ from each other, and] the programmable function, and read-out of synchronizing signal generating doubled with the display or an indicative data is performed. the display raster buffer A2040 -- and - said -- B2041 has the capacity of 6 K bytes, respectively, and can memorize each per [R, G, and B] pixel and 8-bit data by 2048 pixels. Namely, since they can memorize the indicative data for one raster, two buffers use one side for a display during the display period of one raster, respectively, read the following raster data to another side, and use them as a change buffer. Although he is trying to give the data for one raster of an indicating equipment, you may make it switch by the partial data unit of a raster at this example, when capacity is small. However, since read-out access of an indicative data concentrates within a display period in that case and it cannot carry out at a fly-back-line period, the problem that the load balance to a system bus differs in a display period and a fly-back-line period arises. That is, if the data for one raster are memorizable to a display raster buffer, a period including a fly-back-line period level to a display period can be made to distribute read-out access of an indicative data. The function of these display raster buffers can also be replaced by FIFO.

[0028] The memory bus interface 206 is the part which manages an interface with memory, and performs the multiplexer of the address for dynamic RAMs, and generating of a memory control signal. A memory management unit 208

performs the same processing as the address translation changed by CPU10 equivalent, talking with CPU, and changes into a physical address the virtual address given from the rendering processor 202.

[0029] Detailed actuation of a memory management unit 208 is explained in detail later using drawing 7. The physical address given from a system bus is sent out to a memory bus side as it is. By the rendering processor 202 or the display controller 204, address administration will be carried out at the case of the conventional technique without this memory management unit 208 using a physical address.

[0030] Drawing 6 shows the logical image of main memory 21. In this example, main memory 21 is room single as hardware, it is dependent on software how this memory is treated logically, and various flexible configurations are possible for it.

[0031] Drawing 6 (a) is linear space which shows the image at the time of accessing from CPU, and has data width of face of 64 bits. In the field of the 32-K byte unit of these, a line address is the same and page mode access of it can be carried out.

[0032] Drawing 6 (b) is 8 bits/pixel used for 256 color specification. The image as a frame buffer is shown. A different configuration is also possible although breadth is made into 2048 pixels by a diagram. In this example, page mode access is possible in the field of 16 x 2048 pixels.

[0033] drawing 6 (c) -- the same -- R, G, B, and alpha (multiplier data used for a translucent expression) -- it is an example as a 32 bits [which consists each of 8 bits //pixel] frame buffer. in this case, the field of 4 x 2048 pixels -- a page mode -- it becomes the accessible range. Besides the above, various configurations are possible, for example, Z plane with Z value which is 32 bits can be treated in the same image as drawing 6 (c). Moreover, this main memory 21 can intermingle for them and memorize various kinds of above data, and flexible application is possible for it.

[0034] The address translation processing flow which used the detailed block

diagram of a memory management unit for drawing 7 , and used it for drawing 8 is shown. Before explaining the content of drawing 7 , the latest trend of an address translation method also including a frame buffer is explained. The conventional address translation method divided room into the page of the same size (size of 4KB - 8KB), the content of the logical address and physical address is kept in mind in each page unit on the table, it is referring to a table from the given logical address, and the method which generates a physical address was taken. However, if space like a frame buffer where it is comparatively big space, and the physical address is continuing is divided into the above-mentioned page and managed, since an address translation table will become large and will produce futility, recently, the method managed with the size of a page two or more sorts is adopted. Here, address translation to explain is premised on such a configuration.

[0035] Inside [memory management unit 208] drawing 7 , it has three registers 71, 72, and 73 rewritable from CPU10. The rendering processor 202 is three sorts of the flip-flop 73 in which the registers 71 and 72 which memorize the logical address and the physical address corresponding to the address which is carrying out current generating, and an applicable page size are shown. It is specified to which bit position the address 2083 which the rendering processor 202 generates should check the logic address register 72 according to the content of the flip-flop 73 in which a page size is shown by being sent to the comparator 74 which confirms whether be in the page concerned at this time. When judged with the rendering processor 202 having generated the address which grew fertile from the page, the signal 2082 which notifies it is sent to CPU10 and the rendering processor 202.

[0036] It explains below how address translation is performed using such hardware, using a flow chart (drawing 8).

[0037] First, after writing in the registers 71, 72, and 73 which carry out the above-mentioned response of the logical address with which the address which the rendering processor 202 generates in the initialization parameter to the

rendering processor 202 belongs, a physical address, and the page size at the time of rendering processor 202 starting from CPU10 (81 82), the rendering processor 202 is started (83). Then, when the address which the rendering processor 202 generates serially is in the page by which setting out was carried out [above-mentioned], the physical address set up is sent out to a primary storage, and processing is continued only between a rendering processor and a primary storage.

[0038] On the other hand, if the interrupt which came out of the page occurs, CPU10 will read the address which the rendering processor 202 generated, and will perform conversion to an applicable physical address (84, 85, 86). What is necessary is to rewrite the registers 71 and 72 of the logical address and a physical address to a new value, and just to carry out the restart directions to the rendering processor 202, in case a physical address exists (87). Since it is necessary to perform the usual page-swapping processing when there is no physical address, enough registers to be able to perform a task switch are read and processing to which it is made to evacuate is performed (88 89). What is necessary is to perform recovery and just to reboot, when an applicable page is read.

[0039] Good address translation can be offered by performing the above processing.

[0040] Drawing 9 shows the configuration of the preferential control device in the display controller 204, and consists of the load counter 2042, the display counter 2043, and the preferential control circuit 2044. The load counter 2042 manages actuation of a line intermediary **** display raster buffer (either A2040 or B2041) for read-out of an indicative data. The display counter 2043 manages progress of a raster buffer on display [another]. In order that a display raster buffer may operate synchronizing with a display, read-out of an indicative data must be finished by the time processing of a raster buffer on display is completed. For this reason, the preferential control circuit 2044 judges a ***** enough to indicative-data read-out of the remainder [time amount / which was left behind]. That is, if

lowering and residual time decrease the priority of display access when time amount required for the remaining display read-out at the residual time comparator 2045 is compared with the remaining operating time of a display raster buffer on display and there is sufficient time amount for read-out from the information on the load counter 2042 and the display counter 2043, the preferential control signal for raising the priority of display access will be generated.

[0041] Drawing 10 shows the flow of actuation of each part. Although the usual access priority is the order of ** system bus, ** rendering processor, and ** display access **, it serves as order of ** display access, ** system bus, and ** rendering processor ** in the state of display precedence. Among memory access, in "S", "R" shows access of a rendering processor and "D" shows display access for access by the system bus. Each box of memory access shows a series of page mode accesses. Read-out access from a system bus reads the data from memory through the system raster buffer 2000. Since the memory access is quicker than a system bus, it stores temporarily at the system raster buffer 2000, and outputs to a system bus side one by one. After storing write-in access from a system bus in the system raster buffer 2000, it is written in memory. The display raster buffers A2040 and B2041 are used for the display by turns synchronizing with the horizontal scanning. Since priority is lower than a system bus, as for access by the rendering processor 202, weight (WAIT) enters during an activity by system bus access. When system bus access and access of a rendering processor concentrate, display access will be driven away behind 1 raster time amount, if residual time becomes short in this condition, it will switch to display precedence and display access will be performed compulsorily. In such a case, weight (WAIT) may start access of a system bus.

[0042] Drawing 11 shows the configuration of the rendering processor 202. It consists of the DDA circuit 2020, Z raster buffer 2021, the Z comparator 2022, the source raster buffer 2023, the pattern raster buffer 2024, the destination raster buffer 2025, and the raster operation machine 2026. The DDA circuit 2020

performs coordinate generating at the time of straight-line generating, calculation of each brightness of R, G, and B in the case of brightness interpolation, and calculation by interpolation of Z value, and generates the address for every pixel. Z raster buffer 2021 memorizes a series of raster (two or more pixel [which continues horizontally], or two or more groups of those) data of Z value read from memory, and memorizes Z value corresponding to the specified raster of arbitration length. The Z comparator 2022 carries out the sequential comparison of the Z value by which interpolation generating was carried out in the data and the DDA circuit of Z raster buffer 2021, and a comparison result is memorized by the pattern raster buffer 2024. The source raster buffer 2023 memorizes the raster data of the arbitration length of the source of a BITBLT operation. In straight-line generating, drawing line-type information and drawing information are memorized. In the case of a shading operation, the brightness value generated in the DDA circuit 2020 is memorized. The pattern raster buffer 2024 memorizes the mask data outputted from Z comparator at the time of the raster data of the pattern of a BITBLT operation, or hidden surface removal. The destination raster buffer 2025 stores temporarily the read-out data of the destination in BITBLT. compute mode predetermined in the raster operation machine 2026 -- therefore, it is the part which performs BITBLT operations, such as various logical operation and a color operation. In this example, the description is in the point of carrying out page mode access per raster block in memory at a high speed, and performing data processing of a large quantity at a high speed, by forming each raster buffer which memorizes the raster data of arbitration.

[0043] Drawing 12 shows the procedure of memory access about some examples of processing. In drawing 12 , one box shows a series of accesses to the raster block which can carry out page mode access. At the time of actual memory access, it is divided into the group of two or more page mode accesses, and system bus access and display access are performed by the method case of close intermediary **** in the meantime, while weight enters. In the 2 operand

BITBLT of drawing 12 (a), the writing of a destination is performed following read-out of the source and a destination. As for drawing 12 (b), it differs in that read-out of pattern raster data is added to drawing 12 (a). In the case of straight-line generating, drawing 12 (c) performs writing for every raster block units of a series of. For example, if it is the memory configuration of drawing 6 (b), a level straight line can be performed in one raster block writing. In the case of a vertical straight line, raster blocks differ every 16 pixels, and writing becomes possible in the unit. However, when each raster buffer of the unit of these accesses is smaller than 32KB, it cannot be overemphasized that constraint of the magnitude is received. When the capacity of a raster buffer is small, if an oblong, a rectangle, etc. enable it to choose the approach of also making a column address memorizing with raster data, and the configuration of a raster block, the effectiveness of memory access can be gathered according to each case. As for drawing 12 (d), in the case of shading, the writing of after [Z raster read-out] destination data is performed. When an operation is specified to destination data, destination read-out may enter before destination writing.

[0044] Thus, therefore in this example, the effectiveness that drawing activation can be carried out is in a high speed at the rendering processor shown in drawing 11 combining page mode access.

[0045] In addition, although this example is considering as the configuration which uses standard dynamic memory, the configuration of drawing 11 is not a reason with necessary combination with that, for example, it may combine it with the dual port memory for images. If it is the configuration of this example, when memory can be miniaturized, it uses the dual port memory for images and there is little degradation by display access, there is ***** when, respectively.

[0046] Moreover, although this example explained page mode access to the example, it cannot be overemphasized that it can explain similarly in other similar modes (a nibble mode and static column mode).

[0047] As explained to the detail above, since a frame buffer and main memory can be unified, though it is high-speed, according to this invention, it can consider

as a simple and small configuration. For example, using a 16M bit memory device 32-64 pieces, while a processor 100MIPS or more can be moved efficiently, it is applicable to the display of 16 million colors (R, G, B, 8 bits each) by 1280x1024 pixels.

[0048] moreover -- according to this invention -- system bus access (access by the data-processing means), and display access (access by the display-control means) -- the priority -- therefore, it becomes possible to carry out preferential control, and it becomes possible to lose the utility of memory access.

[0049] Although the above-mentioned example is a computing system which manages memory per page, it is good also as not being restricted to this and managing per logical address. In a computing system namely, a storage management means Using the information which an address information storage means to have the information about the logical address of the data memorized in the primary storage, and said address information storage means have It has a decision means to judge whether the data specified with said logical address which said display-control means outputs are in said storage means. Said storage management means When data are in said storage means, it is good also as outputting the physical address corresponding to the logical address to said storage means.

[0050]

[Effect of the Invention] According to this invention, a frame buffer and a primary storage are unified and the computing system to control can be offered with a virtual-storage-supervision method.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is structure-of-a-system drawing of one example concerning this invention.

[Drawing 2] It is the explanatory view of the bus transfer rate of one example concerning this invention.

[Drawing 3] It is the explanatory view of the system bus of one example concerning this invention.

[Drawing 4] It is the explanatory view of the memory bus of one example concerning this invention.

[Drawing 5] It is internal configuration drawing of the memory controller in drawing 1 .

[Drawing 6] It is the explanatory view of the room of one example concerning this invention.

[Drawing 7] It is the block diagram of the dynamic address translation for rendering hard of one example concerning this invention.

[Drawing 8] It is a processing flow for operating effectively the address translation of one example concerning this invention.

[Drawing 9] It is an explanatory view about the preferential control device in the display controller in drawing 5 .

[Drawing 10] It is the explanatory view of the memory access of one example concerning this invention of operation.

[Drawing 11] It is internal configuration drawing of the rendering processor in drawing 5 .

[Drawing 12] It is an explanatory view of operation in drawing processing.

[Description of Notations]

20 [-- A system raster buffer, 2021 / -- Z raster buffer, 2023 / -- A source raster buffer, 2024 / -- A pattern raster buffer, 2025 / -- Destination raster buffer.] -- A memory controller, 21 -- Main memory, 202 -- A rendering processor, 2000

[Translation done.]

*** NOTICES ***

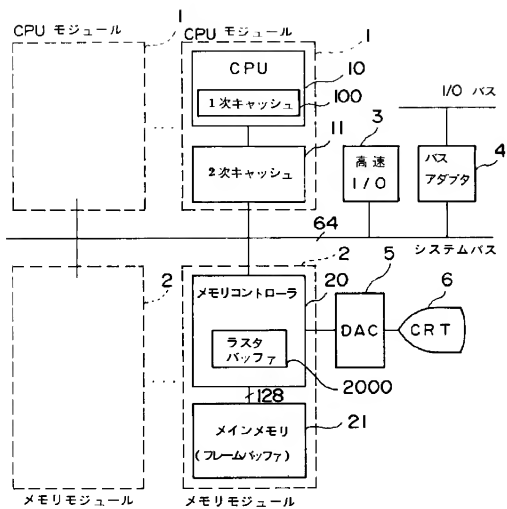
JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

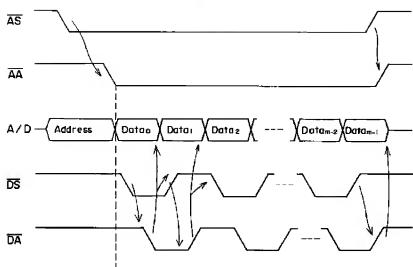
DRAWINGS

[Drawing 1]

図 1



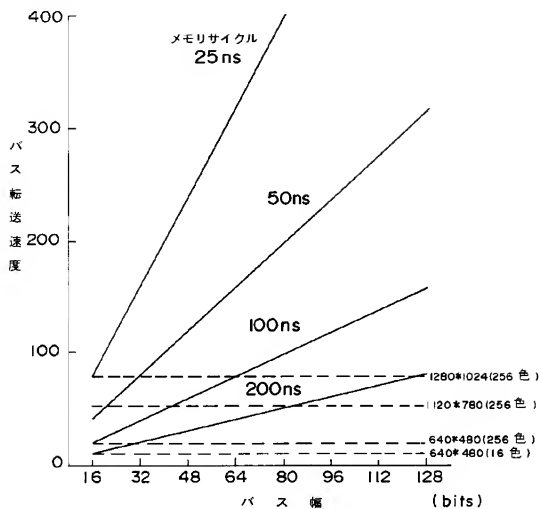
[Drawing 3]



[Drawing 2]

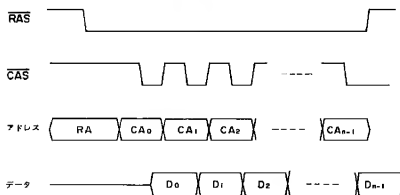
図 2

(Mbytes / s)

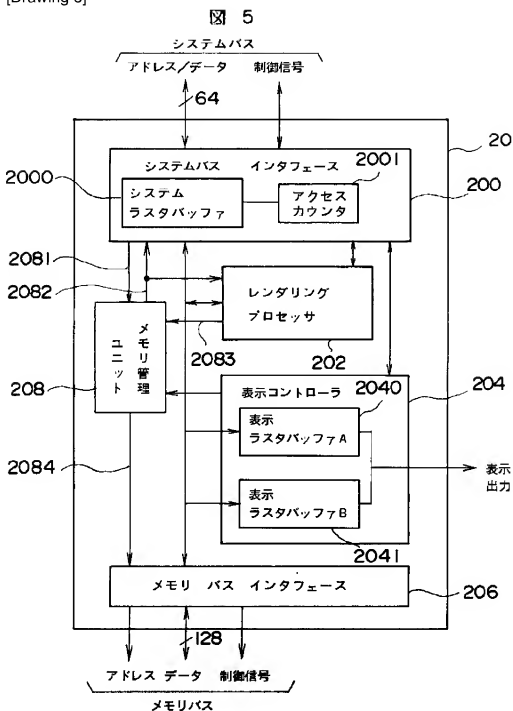


[Drawing 4]

図 4



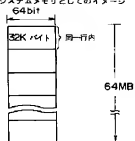
[Drawing 5]



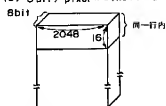
[Drawing 6]

図 6

(a) システムメモリとしてのイメージ



(b) 8 bit / pixel の3次元イメージ

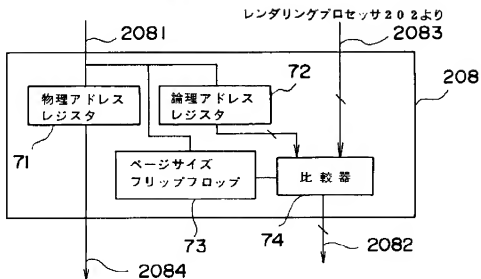


(c) 32 bit / pixel



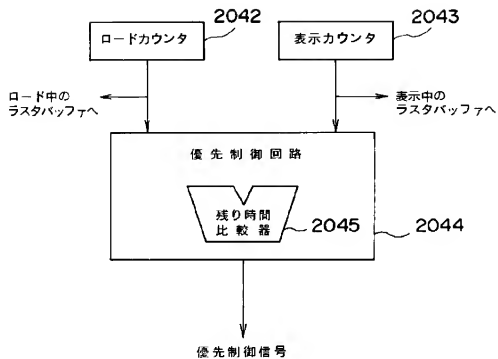
[Drawing 7]

図 7



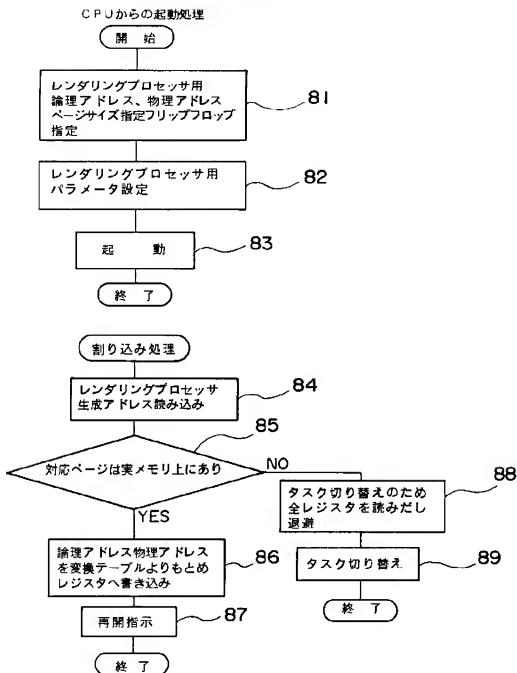
[Drawing 9]

図 9



[Drawing 8]

図 8



[Drawing 10]

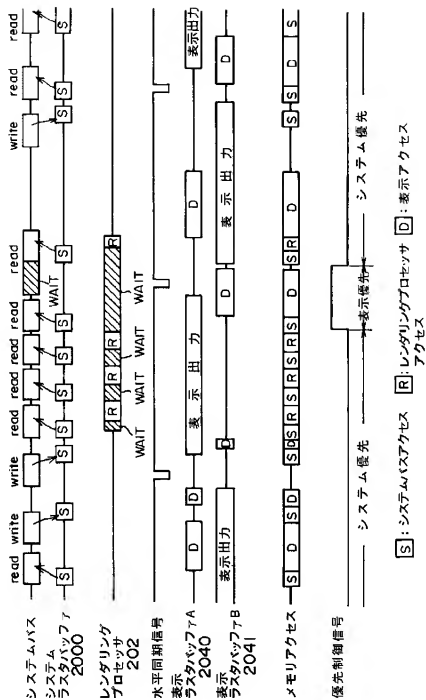
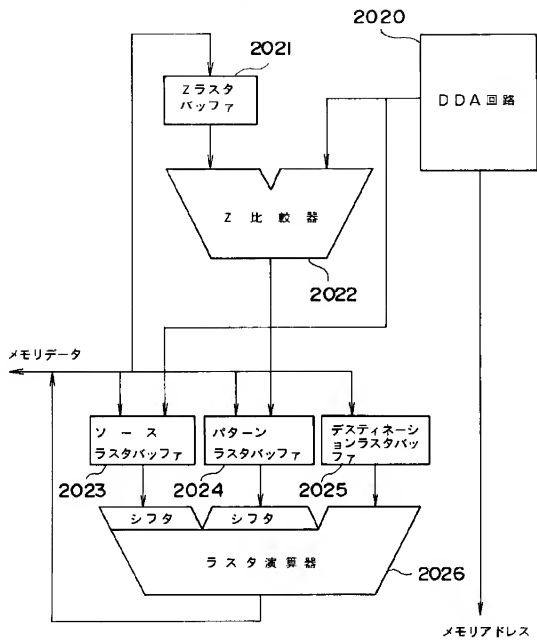


図 11



[Drawing 12]

図 12

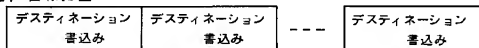
(a) 2オペランド BITBLT

ソースラスタ 読出し	デスティネーション ラスタ読出し	デスティネーション ラスタ書き込み
---------------	---------------------	----------------------

(b) 3オペランド BITBLT

ソースラスタ 読出し	パターンラスタ 読出し	デスティネーション ラスタ読出し	デスティネーション ラスタ書き込み
---------------	----------------	---------------------	----------------------

(c) 直線発生



(d) シェーディング

マスク 読出し	デスティネーション 書き込み
------------	-------------------

[Translation done.]